

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-272930
(43)Date of publication of application : 05.10.2001

51)Int.Cl.

G09F 9/30
H05B 33/08
H05B 33/14

21)Application number : 2000-088211

(71)Applicant : SANYO ELECTRIC CO LTD

22)Date of filing : 28.03.2000

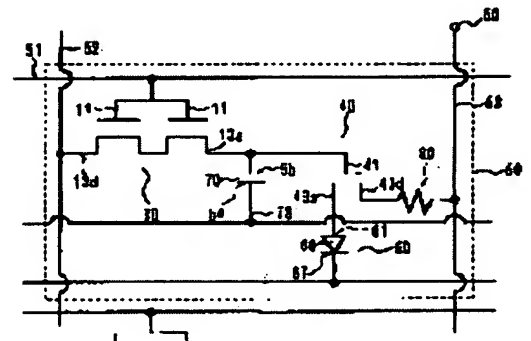
(72)Inventor : YASUDA HITOSHI

54) ELECTROLUMINESCENT DISPLAY DEVICE

57)Abstract:

PROBLEM TO BE SOLVED: To provide an EL display device capable of obtaining prescribed luminance constantly by stabilizing the characteristic of a TFT.

SOLUTION: In this display device, an organic EL element 60 consisting of an anode 61, a cathode 67 and a light emitting element layer 66 held between both electrodes, a first TFT 30 for switching controlling timing when a current is supplied to the element 60, a second TFT 40 for driving the element 60 and a driving power source line 53 supplying a current to the element 60 via the second TFT 40 are provided on an insulating substrate 10 and, moreover, a resistance 80 which is to be produced in the same process and with the same material as those in the anode 61 of the element 60 is formed between the driving power source line 53 and the drain of the second TFT 40.



LEGAL STATUS

Date of request for examination]

Date of sending the examiner's decision of rejection]

Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

Date of final disposal for application]

Patent number]

Date of registration]

Number of appeal against examiner's decision of rejection]

Date of requesting appeal against examiner's decision of rejection]

Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-272930

(P2001-272930A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) Int.Cl.	識別記号	F I	テマコード (参考)
G 0 9 F 9/30	3 6 5 3 3 8	G 0 9 F 9/30	3 6 5 Z 3 K 0 0 7 3 3 8 5 C 0 9 4
H 0 5 B 33/08 33/14		H 0 5 B 33/08 33/14	A

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願2000-88211 (P2000-88211)

(22) 出願日 平成12年3月28日 (2000.3.28)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 安田 仁志

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

Fターム (参考) 3K007 AB02 BA08 CA01 CB01 DA01

DB03 EB00 FA01 GA00

5C094 AA03 AA43 AA55 BA03 BA27

CA19 DA13 DB01 DB04 EA04

EA05 EB02 FA01 FA02 FB02

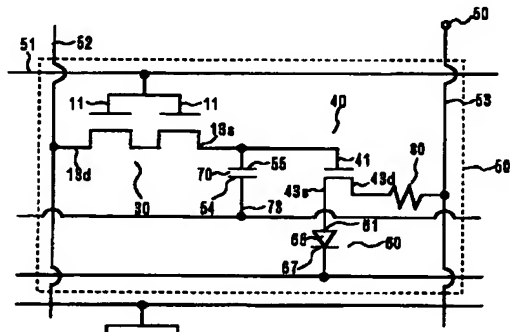
FB12 GA10

(54) 【発明の名称】 エレクトロルミネッセンス表示装置

(57) 【要約】

【課題】 TFTの特性を安定させて、所定の輝度が安定して得られるEL表示装置を提供する。

【解決手段】 絶縁性基板10上に、陽極61、陰極67及び該両電極の間に挟まれた発光素子層66から成る有機EL素子60と、これに電流を供給するタイミングを制御するスイッチング用の第1のTFT30と、有機EL素子駆動用の第2のTFT40と、EL素子60に第2のTFT40を介して電流を供給する駆動電源線53とを備えており、駆動電源線53と第2のTFT40のドレインとの間にEL素子60の陽極61と同一工程で同一材料から成る抵抗80を形成する。



【特許請求の範囲】

【請求項1】 陽極と陰極との間に発光層を有するエレクトロミネッセンス素子と、前記エレクトロミネッセンス素子を駆動する駆動電源からの電流を供給する駆動電源線と、該駆動電源線にドレインが接続されており前記駆動電源からの電流を制御して前記エレクトロミネッセンス素子に供給する薄膜トランジスタとを備えたエレクトロミネッセンス表示装置であって、前記駆動電源線と前記ドレインとの間に抵抗を備えることを特徴とするエレクトロミネッセンス表示装置。

【請求項2】 陽極と陰極との間に発光層を有するエレクトロミネッセンス素子と、前記エレクトロミネッセンス素子を駆動する電流を供給するタイミングを制御する第1の薄膜トランジスタと、前記エレクトロミネッセンス素子を駆動する駆動電源からの電流を供給する駆動電源線と、該駆動電源線にドレインが接続されており前記駆動電源からの電流を制御して前記エレクトロミネッセンス素子に供給する薄膜トランジスタとを備えたエレクトロミネッセンス表示装置であって、前記駆動電源線と前記ドレインとの間に抵抗を備えることを特徴とするエレクトロミネッセンス表示装置。

【請求項3】 前記駆動電源線と前記ソースとの間の抵抗が、前記陽極と同じ材料からなることを特徴とする請求項1又は2に記載のエレクトロミネッセンス表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、エレクトロミネッセンス素子及び薄膜トランジスタを備えたエレクトロミネッセンス表示装置に関する。

【0002】

【従来の技術】 近年、エレクトロミネッセンス (ElectroLuminescence: 以下、「EL」と称する。) 素子を用いたEL表示装置が、CRTやLCDに代わる表示装置として注目されており、例えば、そのEL素子を駆動させるスイッチング素子として薄膜トランジスタ (Thin Film Transistor: 以下、「TFT」と称する。) を備えたEL表示装置の研究開発も進められている。

【0003】 図5に有機EL表示装置の1表示画素を示す等価回路図を示し、図6に有機EL表示装置の1表示画素の平面図を示し、図7(a)に図6中のA-A線に沿った断面図を示し、図7(b)に図6中のB-B線に沿った断面図を示す。

【0004】 図5及び図6に示すように、ゲート信号線51とドレイン信号線52とに囲まれた領域に表示画素が形成されている。両信号線の交点付近にはスイッチング素子である第1のTFT30が備えられており、そのTFT30のソース13sは後述の保持容量電極54との間で容量をなす容量電極55を兼ねるとともに、有機EL素子を駆動する第2のTFT40のゲート42に接

続されている。第2のTFT40のソース43sは有機EL素子の陽極61に接続され、他方のドレイン43dは有機EL素子を駆動する駆動電源50に接続された駆動電源線153に接続されている。

【0005】 また、TFTの付近には、ゲート信号線51と並行に保持容量電極54が配置されている。この保持容量電極54はクロム等から成っており、ゲート絶縁膜12を介して第1のTFT30のソース13sと一体形成された容量電極55との間で電荷を蓄積して容量を成している。この保持容量70は、第2のTFT40のゲート41に印加される電圧を保持するために設けられている。

【0006】 まず、スイッチング用のTFTである第1のTFT30について説明する。

【0007】 図7(a)に示すように、石英ガラス、無アルカリガラス等からなる絶縁性基板10上に、非晶質シリコン膜にレーザを照射して多結晶化した多結晶シリコン膜から成る能動層13を形成する。この能動層13にはいわゆるLDD (Lightly Doped Drain) 構造が設けられている。即ち、ゲート132の両側に低濃度領域131LDとその外側に高濃度領域のソース131s及びドレイン131dが設けられている。その上にゲート絶縁膜12、及びクロム (Cr)、モリブデン (Mo) などの高融点金属からなるゲート信号線51の一部をなすゲート電極11を形成する。このとき同時に、保持容量電極54を形成する。

【0008】 続いて、ゲート絶縁膜12及びゲート絶縁膜12上の全面には、SiO₂膜、SiN膜及びSiO₂膜の順に積層された層間絶縁膜15を設け、ドレイン13dに対応して設けたコンタクトホールにA1等の金属を充填してドレイン信号線52の一部をなすドレイン電極16を設ける。更に全面に例えば有機樹脂から成り表面を平坦にする平坦化絶縁膜17を設ける。

【0009】 次に、有機EL素子の駆動用のTFTである第2のTFT40について説明する。

【0010】 図7(b)に示すように、石英ガラス、無アルカリガラス等からなる絶縁性基板10上に、第1のTFT30の能動層13の形成と同時に、多結晶シリコン膜から成る能動層43を形成する。その能動層43には、ゲート電極41上方に真性又は実質的に真性であるチャネル43cと、このチャネル43cの両側に、p型不純物のイオンドーピングを施してソース43s及びドレイン43dを設けて、p型チャネルTFTを構成する。その能動層43の上にゲート絶縁膜12、及びCr、Moなどの高融点金属からなるゲート電極11を設ける。このゲート電極11は、第1のTFT30のソース13sに接続されている。

【0011】 そして、ゲート絶縁膜12及びゲート電極41上の全面には、SiO₂膜、SiN膜及びSiO₂膜の順に積層された層間絶縁膜15を形成し、ドレイン4

3 dに対応して設けたコンタクトホールにA1等の金属を充填して駆動電源50に接続された駆動電源線53を配置する。更に全面に例えば有機樹脂から成り表面を平坦にする平坦化絶縁膜17を形成して、その平坦化絶縁膜17のソース43sに対応した位置にコンタクトホールを形成し、このコンタクトホールを介してソース43sとコンタクトしたITO (Indium Tin Oxide) から成る透明電極、即ち有機EL素子60の陽極61を平坦化絶縁膜17上に設ける。

【0012】有機EL素子60は、ITO等の透明電極から成る陽極61、MTDATA (4,4',4''-tris(3-methylphenylphenylamino)triphenylamine) から成る第1ホール輸送層62、及びTPD (N,N'-diphenyl-N,N'-di(3-methylphenyl)-1,1'-biphenyl-4,4'-diamine) からなる第2ホール輸送層63、キナクリドン (Quinacridone) 誘導体を含むBebq2 (bis(10-hydroxybenzo[h]quinolinato)beryllium) から成る発光層64及びBebq2から成る電子輸送層65からなる発光素子層66、マグネシウム・インジウム合金から成る陰極67がこの順番で積層形成された構造である。これら第1ホール輸送層62、第2ホール輸送層63、電子輸送層65及び陰極67は、図6に示した各表示画素に備えた有機EL素子に共通に形成されている。発光層64は、陽極61に対応して島状に形成されている。

【0013】なお、有機EL素子は、陽極から注入されたホールと、陰極から注入された電子とが発光層の内部で再結合し、発光層を形成する有機分子を励起して励起子が生じる。この励起子が放射失活する過程で発光層から光が放たれ、この光が透明な陽極から透明絶縁基板を介して外部へ放出されて発光する。

【0014】このように、第1のTFT30のソース13sから印加された電荷が保持容量70に蓄積されるとともに第2のTFT40のゲート41に印加されてその電圧に応じて有機EL素子は発光する。

【0015】

【発明が解決しようとする課題】ところが、有機EL素子60に供給する電流値を制御する機能を有する第2のTFT40は、ゲート電圧に対するドレイン電流特性のばらつきが大きいため、発光材料に流れる電流の変動も大きくなってしまっている。

【0016】図4に、第2TFTのゲート電圧(Vg)とドレイン電流(Id)との特性関係を示す。同図において、横軸はゲート電圧(Vg)を示し、縦軸はドレイン電流(Id)を示す。実線で示した従来のTFTにおいては、下側の実線cと上側の実線dとの間で特性が変化し、あるゲート電圧においてはその変動値がI1も変動してしまっている。

【0017】このように特性が変動することにより、EL素子の輝度も所定の輝度が得られないという欠点があった。

【0018】そこで本発明は、上記の従来の欠点に鑑みて為されたものであり、TFTの特性を安定させて、所定の輝度が安定して得られるEL表示装置を提供することを目的とする。

【0019】

【課題を解決するための手段】本発明のEL表示装置は、陽極と陰極との間に発光層を有するEL素子と、前記EL素子を駆動する駆動電源からの電流を供給する駆動電源線と、該駆動電源線にドレインが接続されており前記駆動電源からの電流を制御して前記EL素子に供給するTFTとを備えたEL表示装置であって、前記駆動電源線と前記ドレインとの間に抵抗を備えるものである。

【0020】また、本発明は、陽極と陰極との間に発光層を有するエレクトロルミネッセンス素子と、前記エレクトロルミネッセンス素子を駆動する電流を供給するタイミングを制御する第1の薄膜トランジスタと、前記エレクトロルミネッセンス素子を駆動する駆動電源からの電流を供給する駆動電源線と、該駆動電源線にドレインが接続されており前記駆動電源からの電流を制御して前記エレクトロルミネッセンス素子に供給する薄膜トランジスタとを備えたエレクトロルミネッセンス表示装置であって、前記駆動電源線と前記ドレインとの間に抵抗を備えるものである。

【0021】更に、上述のEL表示装置は、前記駆動電源線と前記ソースとの間の抵抗が、前記陽極と同じ材料からなるEL表示装置である。

【0022】

【発明の実施の形態】本発明のEL表示装置について以下に説明する。

【0023】図1に本発明のEL表示装置を有機EL表示装置に適用した場合の等価回路図を示し、図2に有機EL表示装置の平面図を示し、図3(a)に図2中のA-A線に沿った断面図を示し、図3(b)に図2中のB-B線に沿った断面図を示す。

【0024】図1及び図2に示すように、ゲート信号線51とドレイン信号線52とに囲まれた領域に表示画素50(点線で示す領域)が形成されている。両信号線51、52の交点付近にはスイッチング素子である第1のTFT30が備えられており、そのTFT30のソース13sは後述の保持容量電極54との間で容量をなす容量電極55を兼ねるとともに、有機EL素子を駆動する第2のTFT40のゲート41に接続されている。第2のTFT40のソース43sは有機EL素子の陽極61に接続され、他方のドレイン43dは有機EL素子60を駆動する電流を供給する駆動電源50に接続された駆動電源線53に接続されている。このとき、駆動電源線53と、それに接続されたドレイン43dとの間には抵抗80が設けられている。

【0025】また、TFTの付近には、ゲート信号線5

1と並行に保持容量電極54が配置されている。この保持容量電極54はクロム等から成っており、ゲート絶縁膜12を介して第1のTFT30のソース33と接続された容量電極72との間で電荷を蓄積して容量を成している。この保持容量70は、第2のTFT40のゲート42に印加される電圧を保持するために設けられている。なお、第1のTFT30の断面形状は従来の技術の欄で説明した図7(a)と同じであるので、説明は省略する。

【0026】ここで、駆動電源線53と、それに接続されたドレイン43dとの間に設けられた抵抗80について、図3(b)に従って説明する。

【0027】図3(b)に示すように、石英ガラス、無アルカリガラス等からなる絶縁性基板10上に、第1のTFT30の能動層13の形成と同時に形成した多結晶シリコン膜から成る能動層43を形成する。その能動層43には、ゲート電極41上に真性又は実質的に真性であるチャネル43cと、このチャネル43cの両側に、p型不純物のイオンドーピングを施してソース43s及びドレイン43dを設けて、p型チャネルTFTを構成する。

【0028】この能動層43の上に、SiO₂膜から成るゲート絶縁膜12、及びCr、Moなどの高融点金属からなるゲート電極41を設ける。

【0029】そして、ゲート絶縁膜12及びゲート電極41上の全面には、SiO₂膜、SiN膜及びSiO₂膜の順に積層された層間絶縁膜15を形成する。その上にAlから成りEL素子60に供給する駆動電源に接続された駆動電源線53を形成する。その後、駆動電源線53を含む全面に有機樹脂から成り表面を平坦にする平坦化絶縁膜17を堆積し、その平坦化絶縁膜17のソース43sドレイン43d及び駆動電源線53の一部に対応した位置にコンタクトホールC1、C2、C3を設ける。そして、これらのコンタクトホールを介して、透明導電材料であるITOによって、ソース43sとコンタクトしたEL素子の陽極61、及びドレイン43dと駆動電源線53とを接続した抵抗80を平坦化絶縁膜17上に設ける。

【0030】これらの陽極61及び抵抗80を形成した後、陽極61の周辺まで覆った絶縁膜68を形成する。即ち、陽極61の周辺を覆い、陽極61の中央部に開口部を有する絶縁膜68を形成する。この絶縁膜68は、抵抗80の上層に設けるEL素子の第1ホール輸送層62と抵抗80とを絶縁するとともに、陽極61の厚みによる段差に起因して生じる陰極67とのショートを防止する機能を有する。

【0031】そして、陽極61及び陽極61の周辺にまで延在させて形成した絶縁膜68の表面に、従来のEL素子60と同様に、第1ホール輸送層62、第2ホール輸送層63、発光層64、電子輸送層65及び陰極67

を順に形成する。発光層64は陽極61よりも大きめの面積とし、他の第1ホール輸送層62、第2ホール輸送層63、電子輸送層65及び陰極67のように全面には形成しない。また、発光層64はその材料を変えることによって発光させる色を変えることが可能である。なお、陰極67は、各表示画素50において共通の電位である。

【0032】このように、EL素子の駆動電源線53とドレイン電極43dとの間にITOから成る抵抗80を設けることにより、第2のTFT40からEL素子60に供給される電流が変動することを防止することができる。

【0033】前述の図4の点線で示すように、本発明によれば、EL素子を駆動する第2のTFT40のV_g-I_d特性は、曲線aから曲線b間での範囲での変動に治まっており、従来の特性とあるゲート電圧における電流値で比較すると、従来その変動がI₁であったのに対して、それよりも小さい約70%程度になっていることがわかる。

【0034】こうして、EL素子の発光輝度を安定させて得ることができるので、良好な表示を得ることができることになる。

【0035】また、抵抗80の材料として、陽極61と同じ材料のITOを陽極61形成と同時に形成することにより、新たな工程を増やすことなく形成できるため、工程増大につながることなく形成することができ、コスト増大を招くことがない。

【0036】なお、本実施の形態においては、第2のTFT40が、能動層43がゲート電極41よりも下層にあるいわゆるトップゲート型のTFTについて説明したが、本発明はそれに限定されるものではなく、能動層43がゲート電極41よりも上層にあるいわゆるボトムゲート型のTFTであっても同様の効果を得ることができる。第1のTFT30においても、トップゲート型でもボトムゲート型でも良い。

【0037】また、本願においては、ドレインはTFTに電流が流れ込む領域を意味し、ソースはTFTから電流が流れ出す領域を意味するものとする。

【0038】また、上述の実施の形態においては、ゲート電極11、41がダブルゲート構造の場合について説明したが、本願発明はそれに限定されるものではなく、シングルゲートあるいは3つ以上のマルチゲート構造を有していても本願と同様の効果を奏することが可能である。

【0039】また、上述の実施の形態においては、第2のTFTがp型チャネルTFTの場合を示したが、第2のTFTはn型の不純物を導入したn型チャネルTFTでも良い。

【0040】また、上述の実施の形態においては、能動層としてp-Si膜を用いたが、微結晶シリコン膜又は

非晶質シリコン膜を用いても良い。

【0041】

【発明の効果】本発明のEL表示装置によれば、EL素子を駆動するTFTからEL素子に供給される電流が変動することを防止することができ、安定した表示を得ることができる。

【図面の簡単な説明】

【図1】本発明のEL表示装置の等価回路図である。

【図2】本発明のEL表示装置の実施の形態を示す平面図である。

【図3】本発明のEL表示装置の実施の形態を示す断面図である。

【図4】TFTの特性を示す特性図である。

【図5】従来のEL表示装置の等価回路図である。

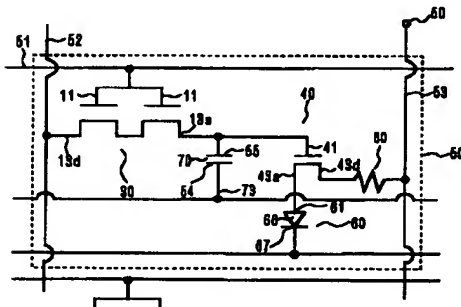
【図6】従来のEL表示装置の平面図である。

【図7】従来のEL表示装置の断面図である。

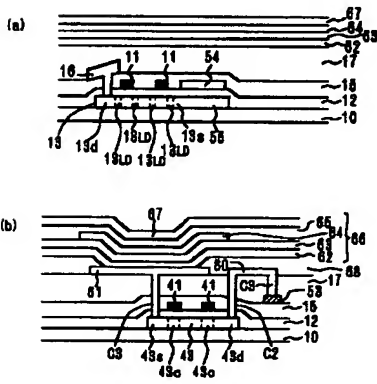
【符号の説明】

30	第1のTFT
13s、13s	ソース
13d、13d	ドレイン
13c、13c	チャネル
13LD、13LD	LDD領域
11、41	ゲート電極
10	第2のTFT
50	駆動電源
53	駆動電源線
60	有機EL素子
80	抵抗

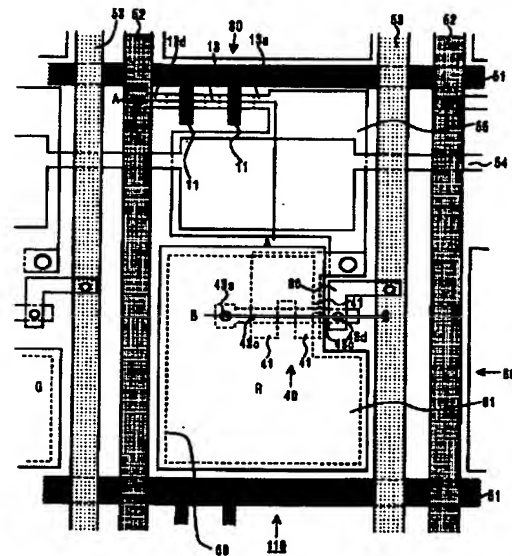
【図1】



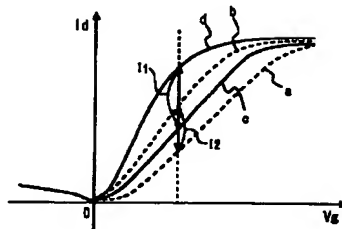
【図3】



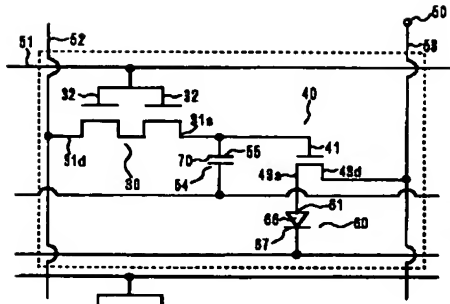
【図2】



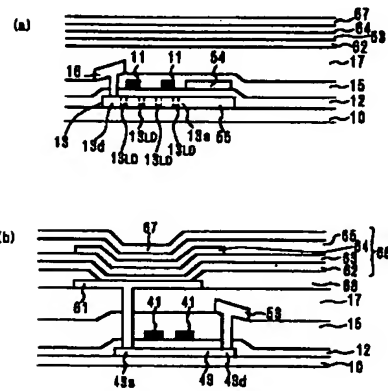
【図4】



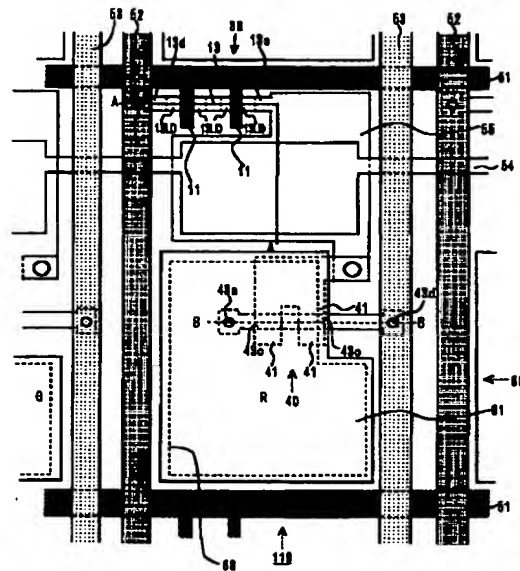
【図5】



【図7】



【図6】



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the electroluminescence display equipped with the electroluminescent element and the thin film transistor.

[0002]

[Description of the Prior Art] In recent years, researches and developments of EL display equipped with the thin film transistor ("TFT" is called below Thin Film Transistor:.) as a switching element which it is observed [switching element] as a display which EL display using an electroluminescence ("EL" is called below ElectroLuminescence:.) component replaces with CRT or LCD, for example, makes the EL element drive are also furthered.

[0003] The representative circuit schematic showing 1 display pixel of an organic electroluminescence display in drawing 5 is shown, the top view of 1 display pixel of an organic electroluminescence display is shown in drawing 6 , the sectional view which met drawing 7 (a) at the A-A line in drawing 6 is shown, and the sectional view which met drawing 7 (b) at the B-B line in drawing 6 is shown.

[0004] The display pixel is formed in the field surrounded by the gate signal line 51 and the drain signal line 52 as shown in drawing 5 and drawing 6 . It has 1st TFT30 which is a switching element near the intersection of both signal lines, and the source 13s of TFT30, while serving as the capacity electrode 55 which makes capacity between the below-mentioned retention volume electrodes 54, it connects with the gate 42 of 2nd TFT40 which drives an organic EL device. It connects with the anode plate 61 of an organic EL device source 43s of 2nd TFT40, and connects with the drive power-source line 153 connected to the drive power source 50 which drives an organic EL device drain 43d of another side.

[0005] Moreover, near TFT, the retention volume electrode 54 is arranged in parallel with the gate signal line 51. This retention volume electrode 54 consists of chromium etc., accumulated the charge through gate dielectric film 12 between source 13s of 1st TFT30, and the really formed capacity electrode 55, and has accomplished capacity. This retention volume 70 is formed in order to hold the electrical potential difference impressed to the gate 41 of 2nd TFT40.

[0006] First, 1st TFT30 which is TFT for switching is explained.

[0007] As shown in drawing 7 (a), the active layer 13 which consists of the polycrystal silicone film which irradiated laser and polycrystal-ized it to the amorphous silicone film is formed on the insulating substrate 10 which consists of quartz glass, alkali free glass, etc. The so-called LDD (Lightly Doped Drain) structure is prepared in this active layer 13. That is, source 131s [of a high concentration field] and drain 131d is prepared in low concentration field 131LD and its outside at the both sides of the gate 132. The gate electrode 11 which makes a part of gate signal line 51 which consists of refractory metals, such as gate dielectric film 12 and chromium (Cr), and molybdenum (Mo), on it is formed. The retention volume electrode 54 is formed in coincidence at this time.

[0008] Then, the drain electrode 16 which fills up the contact hole which formed the interlayer insulation film 15 by which the laminating was carried out to the order of SiO₂ film, an SiN film, and SiO₂ film the whole surface on gate dielectric film 12 and gate dielectric film 12, and was prepared

corresponding to drain 13d with metals, such as aluminum, and forms some drain signal lines 52 is formed. Furthermore, the flattening insulator layer 17 which consists of organic resin and makes a front face flat is formed in the whole surface.

[0009] Next, 2nd TFT40 which is TFT for the drive of an organic EL device is explained.

[0010] As shown in drawing 7 (b), the active layer 43 which changes from a polycrystal silicone film to formation and coincidence of the active layer 13 of 1st TFT30 is formed on the insulating substrate 10 which consists of quartz glass, alkali free glass, etc. In that active layer 43, ion doping of p mold impurity is performed to the both sides of channel 43c which is genuineness genuineness or substantially, and this channel 43c, source 43s and drain 43d is prepared in the gate electrode 41 upper part, and p mold channel TFT is constituted. The gate electrode 11 which consists of refractory metals, such as gate dielectric film 12, and Cr, Mo, is formed on the active layer 43. This gate electrode 11 is connected at source 13s of 1st TFT30.

[0011] And the interlayer insulation film 15 by which the laminating was carried out to the order of SiO₂ film, an SiN film, and SiO₂ film is formed the whole surface on gate dielectric film 12 and the gate electrode 41, and the drive power-source line 53 which filled up the contact hole prepared corresponding to drain 43d with metals, such as aluminum, and was connected to the drive power source 50 is arranged. Furthermore, the flattening insulator layer 17 which consists of organic resin and makes a front face flat is formed, a contact hole is formed in the location corresponding to source 43s of that flattening insulator layer 17, and the transparent electrode 61 which consists of ITO (Indium Tin Oxide) which contacted source 43s through this contact hole, i.e., the anode plate of an organic EL device 60, is formed in the whole surface on the flattening insulator layer 17.

[0012] An organic EL device 60 The anode plate 61, MTDATA which consist of transparent electrodes, such as ITO () [4, 4',] [4"-tris] (3-methylphenylphenylamino) the 1st hole transportation layer 62 which consists of triphenylamine, and TPD (N, and N'-diphenyl-N, N'-di(3-methylphenyl)- 1 and 1'-biphenyl-4 --) The 2nd hole transportation layer 63 which consists of 4'-diamine, the luminous layer 64 which consists of Beq2 (bis(10-hydroxybenzo[h] quinolinato) beryllium) containing the Quinacridone (Quinacridone) derivative And it is the structure where laminating formation of the light emitting device layer 66 which consists of an electronic transportation layer 65 which consists of Beq2, and the cathode 67 which consists of a magnesium indium alloy was carried out in this sequence. These 1st hole transportation layer 62, the 2nd hole transportation layer 63, the electronic transportation layer 65, and cathode 67 are formed common to the organic EL device with which each display pixel shown in drawing 6 was equipped. The luminous layer 64 is formed in island shape corresponding to the anode plate 61.

[0013] In addition, the hole poured in from the anode plate and the electron poured in from cathode recombine an organic EL device inside a luminous layer, it excites the organic molecule which forms a luminous layer, and an exciton produces it. Light is emitted from a luminous layer in the process in which this exciton carries out radiation deactivation, and from a transparent anode plate, this light is emitted to the exterior through a transparence insulating substrate, and emits light.

[0014] Thus, while the charge impressed from source 13s of 1st TFT30 is accumulated in retention volume 70, it is impressed by the gate 41 of 2nd TFT40, and an organic EL device emits light according to the electrical potential difference.

[0015]

[Problem(s) to be Solved by the Invention] However, since 2nd TFT40 which has the function which controls the current value supplied to an organic EL device 60 has large dispersion in the drain current characteristic over gate voltage, fluctuation of the current which flows to luminescent material is also large.

[0016] The gate voltage (V_g) of the 2nd TFT and property relation with a drain current (I_d) are shown in drawing 4 . In this drawing, an axis of abscissa shows gate voltage (V_g), and an axis of ordinate shows a drain current (I_d). In the conventional TFT shown as the continuous line, between the lower continuous line c and the upper continuous line d, the property changed and the variation has changed I_d in a certain gate voltage.

[0017] Thus, when changing a property, the brightness of an EL element also had the fault that predetermined brightness was not obtained.

[0018] Then, in view of the above-mentioned conventional fault, it succeeds in this invention, it stabilizes the property of TFT, and predetermined brightness aims at offering EL display obtained by being stabilized.

[0019]

[Means for Solving the Problem] EL display of this invention is an EL display equipped with the drive power-source line which supplies the current from the drive power source which drives the EL element which has a luminous layer, and said EL element between an anode plate and cathode, and TFT which the drain is connected to this drive power-source line, controls the current from said drive power source, and is supplied to said EL element, and is equipped with resistance between said drive power-source lines and said drains.

[0020] Moreover, the electroluminescent element to which this invention has a luminous layer between an anode plate and cathode, The 1st thin film transistor which controls the timing which supplies the current which drives said electroluminescent element, The drive power-source line which supplies the current from the drive power source which drives said electroluminescent element, It is the electroluminescence display equipped with the thin film transistor which the drain is connected to this drive power-source line, controls the current from said drive power source, and is supplied to said electroluminescent element. it is ** equipped with resistance between said drive power-source lines and said drains.

[0021] Furthermore, above-mentioned EL display is an EL display with which resistance between said drive power-source lines and said sources consists of the same ingredient as said anode plate.

[0022]

[Embodiment of the Invention] EL display of this invention is explained below.

[0023] The representative circuit schematic at the time of applying EL display of this invention to an organic electroluminescence display at drawing 1 is shown, the top view of an organic electroluminescence display is shown in drawing 2, the sectional view which met drawing 3 (a) at the A-A line in drawing 2 is shown, and the sectional view which met drawing 3 (b) at the B-B line in drawing 2 is shown.

[0024] As shown in drawing 1 and drawing 2, the display pixel 50 (field shown by the dotted line) is formed in the field surrounded by the gate signal line 51 and the drain signal line 52. It has 1st TFT30 which is a switching element near the intersection of both the signal lines 51 and 52, and the source 13s of TFT30, while serving as the capacity electrode 55 which makes capacity between the below-mentioned retention volume electrodes 54, it connects with the gate 41 of 2nd TFT40 which drives an organic EL device. It connects with the anode plate 61 of an organic EL device source 43s of 2nd TFT40, and connects with the drive power-source line 53 connected to the drive power source 50 which supplies the current which drives an organic EL device 60 drain 43d of another side. At this time, resistance 80 is formed between the drive power-source line 53 and drain 43d connected to it.

[0025] Moreover, near TFT, the retention volume electrode 54 is arranged in parallel with the gate signal line 51. This retention volume electrode 54 consists of chromium etc., accumulated the charge between the capacity electrodes 72 connected with the source 33 of 1st TFT30 through gate dielectric film 12, and has accomplished capacity. This retention volume 70 is formed in order to hold the electrical potential difference impressed to the gate 42 of 2nd TFT40. In addition, since the cross-section configuration of 1st TFT30 is the same as drawing 7 (a) explained in the column of a Prior art, explanation is omitted.

[0026] Here, the resistance 80 prepared between the drive power-source line 53 and drain 43d connected to it is explained according to drawing 3 (b).

[0027] As shown in drawing 3 (b), the active layer 43 which consists of the polycrystal silicone film formed in formation and coincidence of the active layer 13 of 1st TFT30 is formed on the insulating substrate 10 which consists of quartz glass, alkali free glass, etc. In that active layer 43, ion doping of p mold impurity is performed to the both sides of channel 43c which is genuineness genuineness or

substantially, and this channel 43c, source 43s and drain 43d is prepared in the gate electrode 41 upper part, and p mold channel TFT is constituted.

[0028] On this active layer 43, the gate electrode 41 which consists of refractory metals, such as the gate dielectric film 12 which consists of SiO₂ film, and Cr, Mo, is formed.

[0029] And the interlayer insulation film 15 by which the laminating was carried out to the order of SiO₂ film, an SiN film, and SiO₂ film is formed the whole surface on gate dielectric film 12 and the gate electrode 41. The drive power-source line 53 connected to the drive power source which consists of aluminum on it and is supplied to EL element 60 is formed. Then, the flattening insulator layer 17 which consists of organic resin all over the drive power-source line 53 being included, and makes a front face flat is deposited, and contact holes C1, C2, and C3 are established in the location corresponding to a part of source 43s drain 43d and the drive power-source line 53 of the flattening insulator layer 17. And the resistance 80 which connected the anode plate 61 of the EL element in contact with source 43s, and drain 43d and the drive power-source line 53 by ITO which is a transparence electrical conducting material is formed on the flattening insulator layer 17 through these contact holes.

[0030] After forming these anode plates 61 and resistance 80, the insulator layer 68 covered to the circumference of an anode plate 61 is formed. That is, the circumference of an anode plate 61 is covered and the insulator layer 68 which has opening is formed in the center section of the anode plate 61. This insulator layer 68 has the function to prevent short-circuit with the cathode 67 which originates in the level difference by the thickness of an anode plate 61, and is produced while insulating the 1st hole transportation layer 62 of an EL element and resistance 80 which are prepared in the upper layer of resistance 80.

[0031] And the 1st hole transportation layer 62, the 2nd hole transportation layer 63, a luminous layer 64, the electronic transportation layer 65, and cathode 67 are formed in the front face of the insulator layer 68 which was made to extend even around an anode plate 61 and an anode plate 61, and was formed in order like the conventional EL component 60. A luminous layer 64 considers as a larger area than an anode plate 61, and is not formed in the whole surface like other 1st hole transportation layers 62, the 2nd hole transportation layer 63, the electronic transportation layer 65, and cathode 67.

Moreover, a luminous layer 64 can change the color made to emit light by changing the ingredient. In addition, cathode 67 is common potential in each display pixel 50.

[0032] Thus, it can prevent changing the current supplied to EL element 60 from 2nd TFT40 by forming the resistance 80 which consists of ITO between the drive power-source line 53 of an EL element, and 43d of drain electrodes.

[0033] As the dotted line of above-mentioned drawing 4 shows, when the Vg-Id property of 2nd TFT40 which drives an EL element is subsided in fluctuation in the range between Curves b from Curve a and the current value in a conventional property and a certain gate voltage compares, according to this invention, it turns out to the fluctuation having been 11 conventionally that it is about 70 small% from it.

[0034] In this way, since the luminescence brightness of an EL element is stabilized and it can obtain, a good display can be obtained.

[0035] Moreover, since it can form without increasing a new process by forming ITO of the same ingredient as an anode plate 61 in anode plate 61 formation and coincidence as an ingredient of resistance 80, it can form without leading to process increase, and cost increase is not caused.

[0036] In addition, in the gestalt of this operation, although 2nd TFT40 explained the so-called top gate type which has an active layer 43 in a lower layer rather than the gate electrode 41 of TFT, this invention is not limited to it, and even if it is the so-called bottom gate type which has an active layer 43 in the upper layer rather than the gate electrode 41 of TFT, it can acquire the same effectiveness. Also in 1st TFT30, a top gate mold or a bottom gate mold may be used.

[0037] Moreover, in this application, a drain shall mean the field where a current flows into TFT, and the source shall mean the field where a current flows out of TFT.

[0038] Moreover, in the gestalt of above-mentioned operation, although the case where the gate electrodes 11 and 41 were double-gate structures was explained, even if the invention in this application

is not limited to it and has a single gate or three multi-gate structures or more, it can do so the same effectiveness as this application.

[0039] Moreover, in the gestalt of above-mentioned operation, although the case where the 2nd TFT was p mold channel TFT was shown, the n-type channel TFT which introduced the impurity of n mold is sufficient as the 2nd TFT.

[0040] Moreover, in the gestalt of above-mentioned operation, although the p-Si film was used as an active layer, a microcrystal silicone film or an amorphous silicone film may be used.

[0041]

[Effect of the Invention] According to the EL display of this invention, it can prevent changing the current supplied to an EL element, and the stable display can be obtained from TFT which drives an EL element.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The electroluminescence display which is a electroluminescence display equipped with the drive power-source line which supplies the current from the drive power source which drives the electroluminescent element which has a luminous layer, and said electroluminescent element between an anode plate and cathode, and the thin film transistor which the drain is connected to this drive power-source line, controls the current from said drive power source, and is supplied to said electroluminescent element, and is characterized by to have resistance between said drive power-source lines and said drains.

[Claim 2] The electroluminescent element which has a luminous layer between an anode plate and cathode, The 1st thin film transistor which controls the timing which supplies the current which drives said electroluminescent element, The drive power-source line which supplies the current from the drive power source which drives said electroluminescent element, It is the electroluminescence display equipped with the thin film transistor which the drain is connected to this drive power-source line, controls the current from said drive power source, and is supplied to said electroluminescent element. The electroluminescence display characterized by having resistance between said drive power-source lines and said drains.

[Claim 3] The electroluminescence display according to claim 1 or 2 characterized by resistance between said drive power-source lines and said sources consisting of the same ingredient as said anode plate.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the representative circuit schematic of EL display of this invention.

[Drawing 2] It is the top view showing the gestalt of operation of EL display of this invention.

[Drawing 3] It is the sectional view showing the gestalt of operation of EL display of this invention.

[Drawing 4] It is the property Fig. showing the property of TFT.

[Drawing 5] It is the representative circuit schematic of the conventional EL display.

[Drawing 6] It is the top view of the conventional EL display.

[Drawing 7] It is the sectional view of the conventional EL display.

[Description of Notations]

30 1st TFT

13s, 13s Source

13d, 13d Drain

13c, 13c Channel

13LD, 13LD LDD field

11 41 Gate electrode

40 2nd TFT

50 Drive Power Source

53 Drive Power-Source Line

60 Organic EL Device

80 Resistance

[Translation done.]

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

[Drawing_1]

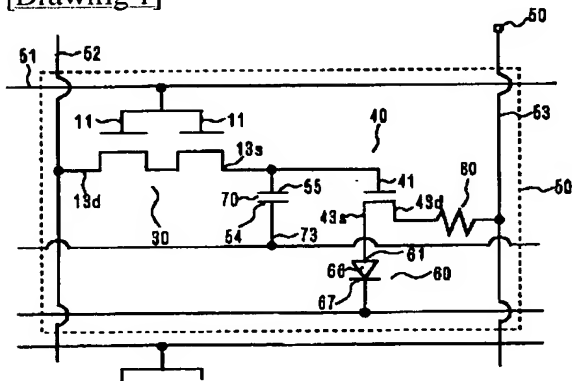
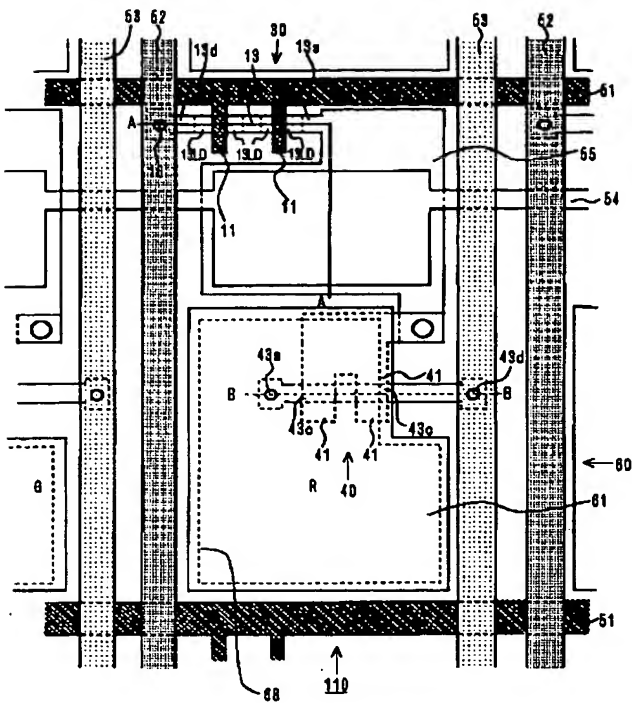
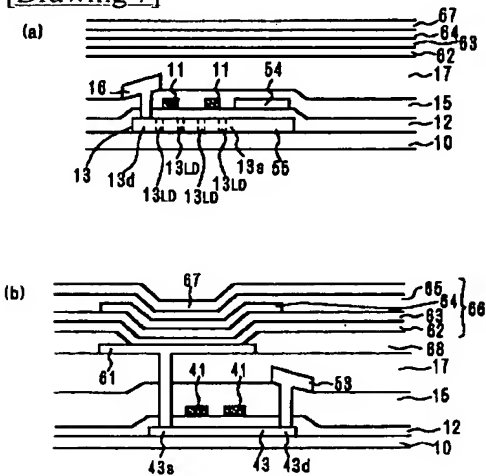


Fig. 1 is a schematic diagram of a semiconductor device. It shows a cross-section with several layers and components. At the top, there is a layer labeled 50. Below it, a dashed line indicates a boundary. A layer labeled 51 is on the left, and a layer labeled 52 is on the right. A central region is labeled 30. Within this region, there are two rectangular blocks labeled 32. A layer labeled 31s is below the blocks 32. A layer labeled 31d is below the layer 31s. A layer labeled 70 is below the layer 31d. A layer labeled 64 is below the layer 70. A layer labeled 55 is below the layer 64. A layer labeled 40 is below the layer 55. A layer labeled 41 is below the layer 40. A layer labeled 43s is below the layer 41. A layer labeled 43d is below the layer 43s. A layer labeled 60 is below the layer 43d. A layer labeled 61 is below the layer 60. A layer labeled 67 is below the layer 61. A layer labeled 80 is below the layer 67. A layer labeled 53 is on the right side, and a layer labeled 54 is on the left side. A layer labeled 55 is on the right side, and a layer labeled 56 is on the left side. A layer labeled 57 is on the right side, and a layer labeled 58 is on the left side. A layer labeled 59 is on the right side, and a layer labeled 60 is on the left side. A layer labeled 61 is on the right side, and a layer labeled 62 is on the left side. A layer labeled 63 is on the right side, and a layer labeled 64 is on the left side. A layer labeled 65 is on the right side, and a layer labeled 66 is on the left side. A layer labeled 67 is on the right side, and a layer labeled 68 is on the left side. A layer labeled 69 is on the right side, and a layer labeled 70 is on the left side. A layer labeled 71 is on the right side, and a layer labeled 72 is on the left side. A layer labeled 73 is on the right side, and a layer labeled 74 is on the left side. A layer labeled 75 is on the right side, and a layer labeled 76 is on the left side. A layer labeled 77 is on the right side, and a layer labeled 78 is on the left side. A layer labeled 79 is on the right side, and a layer labeled 80 is on the left side. A layer labeled 81 is on the right side, and a layer labeled 82 is on the left side. A layer labeled 83 is on the right side, and a layer labeled 84 is on the left side. A layer labeled 85 is on the right side, and a layer labeled 86 is on the left side. A layer labeled 87 is on the right side, and a layer labeled 88 is on the left side. A layer labeled 89 is on the right side, and a layer labeled 90 is on the left side. A layer labeled 91 is on the right side, and a layer labeled 92 is on the left side. A layer labeled 93 is on the right side, and a layer labeled 94 is on the left side. A layer labeled 95 is on the right side, and a layer labeled 96 is on the left side. A layer labeled 97 is on the right side, and a layer labeled 98 is on the left side. A layer labeled 99 is on the right side, and a layer labeled 100 is on the left side.

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web/cgi_ejje



[Drawing 7]



[Translation done.]